

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Appln. Of: KAJIGAYA et al.
Serial No.: 10/656,351
Filed: September 5, 2003
For: Semiconductor Memory Device
Group: 2818
DOCKET: ELPIDA WNZ-2611

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Dear Sir:

Submitted herewith is the certified copy of Japanese Patent Application No. 2002-260279 in support of Applicant's priority claim under 35 USC 119.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicants
Registration No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on May 24, 2004 at Tucson, Arizona.

By:

HAYES SOLOWAY P.C.
130 W. CUSHING STREET
TUCSON, AZ 85701
TEL. 520.882.7623
FAX. 520.882.7643

175 CANAL STREET
MANCHESTER, NH 03101
TEL. 603.668.1400
FAX. 603.668.8567

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 5 日
Date of Application:

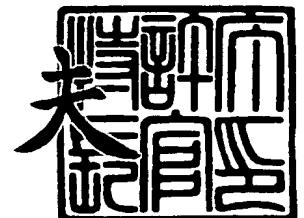
出 願 番 号 特 願 2 0 0 2 - 2 6 0 2 7 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 6 0 2 7 9]

出 願 人 エルピーダメモリ株式会社
Applicant(s): 株式会社日立超エル・エス・アイ・システムズ
 株式会社日立製作所

2 0 0 3 年 9 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 7 6 6 1 6

【書類名】 特許願

【整理番号】 22310226

【提出日】 平成14年 9月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/404

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 梶谷 一彦

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 野田 浩正

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 宮武 伸一

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立
製作所内

【氏名】 竹村 理一郎

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立
製作所内

【氏名】 関口 知紀

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立
製作所内

【氏名】 阪田 健

**【特許出願人】****【識別番号】** 500174247**【氏名又は名称】** エルピーダメモリ株式会社**【特許出願人】****【識別番号】** 000233169**【氏名又は名称】** 株式会社日立超エル・エス・アイ・システムズ**【特許出願人】****【識別番号】** 000005108**【氏名又は名称】** 株式会社日立製作所**【代理人】****【識別番号】** 100071272**【弁理士】****【氏名又は名称】** 後藤 洋介**【選任した代理人】****【識別番号】** 100077838**【弁理士】****【氏名又は名称】** 池田 憲保**【手数料の表示】****【予納台帳番号】** 012416**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0110118**【ブルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 所定方向に沿って互いに平行に配置された複数のワード線と、該複数のワード線に直交しかつ互いに平行に配置された複数のビット線と、前記複数のワード線と前記複数のビット線との全交点の半数に当たる所定の交点に配置された複数のメモリセルとからなるメモリアレイと、

前記複数のビット線のうち奇数番目に位置するビット線に対してはその一方の側の端部に、偶数番目に位置するビット線に対しては他方の側の端部に、それぞれ接続された複数のスイッチと、

前記複数のビット線のうちの奇数番目又は偶数番目のビット線が 1 対ずつ前記複数のスイッチを介して接続される 2 つの端子を各々有し、前記複数のビット線の両端部近傍でそれぞれ前記所定の方向に沿って一列に並べられた複数の単位回路と、を備え、

前記複数のワード線のうちの 1 本を選択したときに、前記複数のメモリセルのうち選択されたワード線に接続されているメモリセルが、前記複数のスイッチを介して前記複数の単位回路の各端子にそれぞれ 1 個ずつ電氣的に接続可能となるように、前記所定の交点が定められていることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、前記複数のワード線のうちの 1 本を選択した場合に、前記複数のスイッチが選択されたワード線に接続されているメモリセルをそれぞれ前記単位回路の端子に電氣的に接続するよう動作するようにしたことを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体記憶装置において、前記複数のスイッチが、2 個ずつ一体化されている MOS トランジスタスイッチからなることを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 に記載の半導体記憶装置において、前記 MOS トランジスタスイッチが、互いに平行に配置された 2 本のゲート電極と、その両側に夫々独立して形成された 2 つのドレイン領域と、前記 2 本のゲート電極の間に形成された単一のソース領域とを有し、前記 2 つのドレイン領域に前記奇数番目又

は前記偶数番目のビット線が一対接続され、前記ソース領域に前記単位回路の端子が接続されることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 乃至 4 のうちのいずれかに記載の半導体記憶装置において、前記メモリセルが、1 個のセル用 MOS トランジスタと 1 個のキャパシタとからなることを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 に記載の半導体記憶装置において、前記セル用 MOS トランジスタが、p 型にドーピングされた基板上に形成され、ゲート電極として p 型不純物がドーピングされたポリ Si 層を有していることを特徴とする半導体記憶装置。

【請求項 7】 請求項 6 に記載の半導体記憶装置において、前記単位回路が、p 型にドーピングされた基板上に形成され、ゲート電極として n 型不純物がドーピングされた第 1 のポリ Si 層を有する第 1 の MOS トランジスタと、n 型にドーピングされた基板上に形成され、ゲート電極として p 型不純物がドーピングされた第 2 のポリ Si 層を有する第 2 の MOS トランジスタとを含むことを特徴とする半導体記憶装置。

【請求項 8】 請求項 6 に記載の半導体記憶装置において、前記セルアレイ及び前記複数のスイッチを制御するための周辺回路をさらに備え、当該周辺回路が、p 型にドーピングされた基板上に形成され、ゲート電極として n 型不純物がドーピングされた第 1 のポリ Si 層を有する第 1 の MOS トランジスタと、n 型にドーピングされた基板上に形成され、ゲート電極として p 型不純物がドーピングされた第 2 のポリ Si 層を有する第 2 の MOS トランジスタとを含むことを特徴とする半導体記憶装置。

【請求項 9】 請求項 5 乃至 8 のいずれかに記載の半導体記憶装置において、前記ワード線が、前記セル用 MOS トランジスタのゲート電極を形成する第 1 の配線層と、当該第 1 の配線層よりも小さい抵抗値を有し、当該配線層を所定個所で裏打ちする第 2 の配線層からなることを特徴とする半導体記憶装置。

【請求項 10】 請求項 5 乃至 8 のいずれかに記載の半導体記憶装置において、前記ワード線が、前記セル用 MOS トランジスタのゲート電極を形成する第 1 の配線層と、該第 1 の配線層を駆動する駆動回路と、該駆動回路に接続された

前記第 1 の配線層よりも小さい抵抗値を有する第 2 の配線層とからなることを特徴とする半導体記憶装置。

【請求項 1 1】 請求項 1 乃至 1 0 のいずれかに記載の半導体記憶装置において、前記単位回路が、前記メモリセルアレイと同一構成の別のメモリセルアレイにも接続され共有されていることを特徴とする半導体記憶装置。

【請求項 1 2】 請求項 1 乃至 1 1 のいずれかに記載の半導体記憶装置を試験する方法において、

前記複数のワード線を 1 本ずつ順次選択するとともに、前記複数のスイッチをすべてオンさせることを特徴とする半導体記憶装置の試験方法。

【請求項 1 3】 請求項 1 乃至 1 1 のいずれかに記載の半導体記憶装置を試験する方法において、

前記複数のワード線を 1 本ずつ順次選択するとともに、前記複数の単位回路のそれぞれの一方の端子にのみメモリセルが電氣的に接続されるように前記複数のスイッチを制御し、

その後、再び前記複数のワード線を 1 本ずつ順次選択するとともに、前記複数の単位回路のそれぞれの他方の端子にのみメモリセルが電氣的に接続されるように前記複数のスイッチを制御することを特徴とする半導体記憶装置の試験方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、1 / 4 ピッチ 2 交点ツインセルアレイ型の半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

従来の半導体記憶装置として、図 1 2 に示すようなものがある。この半導体記憶装置は、所定方向（図の上下方向）に沿って互いに平行に配置された複数のワード線 1 2 1 と、これらワード線 1 2 1 に直交し且つ互いに平行に配置された複数のビット線 1 2 2 と、複数のワード線 1 2 1 と複数のビット線 1 2 2 との全交点のうちその半数に当たる所定の位置に配置された複数のメモリセル（図中、○

で示す。) 123と、複数のビット線122の一方の端部(図の左側端部。)にそれぞれ接続された複数のスイッチ124と、図の下から奇数番目に位置するビット線122に接続されているスイッチ124と偶数番目に位置するビット線122に接続されているスイッチ124とに夫々共通に接続されている一対の制御線125と、複数のスイッチ124を介して夫々2対(4本)のビット線122に接続された複数のセンスアンプ(SA)126とを有している。

【0003】

この半導体記憶装置では、図示しない制御線駆動回路により制御線125の一方を選択的に駆動するととともに、図示しないワード線駆動回路によりワード線121のいずれか1本を選択的に駆動すると、各センスアンプ126に、一対のメモリセル123が電氣的に接続される。例えば、図中太線で示すように、2本の制御線125のうち左側の制御線を選択するとともに、左端のワード線121を選択すると、一番下に位置するセンスアンプ126には、下から1番目と3番目のビット線122に接続されているメモリセル123が電氣的に接続される。各センスアンプ126は、その一対のメモリセル123に対して1ビットに対応する相補的な情報を書き込み、また、それを読み出す。

【0004】

図12の半導体記憶装置は、上述のように、メモリセル123を2個一組として利用するので、ツインセルアレイと呼ばれる。また、この半導体記憶装置は、互いに対を成す2個のメモリセル123を選択するためのワード線121が、そのメモリセル123を選択するための2本のビット線122と交差するので、2交点型と呼ばれる。さらに、この半導体記憶装置では、ビット線122に沿った方向のメモリセル123の配置をワード線4本単位(1ピッチ)の繰り返しと見た場合、隣接するビット線122に接続されるメモリセル123が上記ピッチの半分だけずれた形に配列されていることから、1/2ピッチ型と呼ばれる。なお、この種の半導体記憶装置は、例えば、米国特許第6,272,054 B1号に記載されている。

【0005】

【特許文献1】

米国特許第 6, 272, 054 B1 号

【0006】

【発明が解決しようとする課題】

半導体記憶装置では、単位面積当たりの記憶容量を大きくするために（高集積化、大容量化のために）、ビット線同士の間隔をできるだけ小さくする必要がある。そして、ビット線に接続されるスイッチ（ビット線選択スイッチ）に関しても、ビット線の間隔を広げる原因とならないように構成・配置する必要がある。そこで、従来の半導体記憶装置では、ビット線選択スイッチを、図 13 に示すように構成・配置している。

【0007】

詳述すると、図 13 のスイッチレイアウトでは、隣接する 2 個のスイッチ 124 が、互いにソース領域 131 を共用し、互いに独立のドレイン領域 132, 133 を有する 2 個一体型の MOS トランジスタスイッチ 134 として形成されている。そして、この一体型 MOS トランジスタスイッチ 134 を 2 列に並べて配置することによって、可能な限り狭い間隔（ピッチ）で形成されたビット線 122 の間隔に、複数のスイッチ 124 を対応させている。

【0008】

しかしながら、従来のスイッチレイアウトでは、一体型 MOS トランジスタスイッチ 134 上のセンスアンプ 126 への接続線を接続するためのコンタクト 135 及びビット線 122 を接続するためのコンタクト 136a, 136b の周囲に、そのコンタクト抵抗を低下させるためのドッグボーンを形成するスペースを設けることができないので、コンタクトホールを小さくするか、又はメモリセルトランジスタ部のコンタクトと同様に、例えば比較的高抵抗なポリシリコンからなるプラグを介在したコンタクトにする必要がある。このため、従来の半導体記憶装置には、スイッチ 124 のコンタクト抵抗が大きく、動作速度が制限されるという問題点がある。

【0009】

また、従来のスイッチレイアウトでは、各一体型 MOS トランジスタスイッチ 134 において、センスアンプ 126 への接続線を接続するためのコンタクト 1

35から、ビット線122を接続するための一方のコンタクト136aまでの距離と、他方のコンタクト136bまでの距離が、図中に双方向破線矢印で示すように、互いに異なっている。このため、各一体型MOSトランジスタスイッチ134の2つのスイッチ124のオン抵抗が互いに異なり、動作速度に差が生じるため、動作タイミング設計におけるマージンが低下するという問題点がある。

【0010】

これらの問題点を解決するため、図14に示すように、センスアンプをメモリセルアレイの両側に配置することが考えられる。そして、このような構成を採用することにより、図15に示すように、ビット線122の間隔を広げることなく、ドッグボーン151を形成するスペースを確保することができ、コンタクト抵抗の低減を実現することができる。なお、メモリセルアレイの両側にセンスアンプを配置する技術は、例えば、特開2001-143463号公報に記載されている。

【0011】

しかしながら、このような構成を採用すると、図15を図13と比較すると明らかなように、コンタクト135からコンタクト136aまでの距離と、コンタクト135からコンタクト136bまでの距離との差が大きくなってしまう。つまり、この構成では、各一体型MOSトランジスタ134における2つのスイッチ124のオン抵抗の差が大きくなるという問題が生じる。そして、この2つのスイッチのオン抵抗の差を無くすためには、図16に示すように、ビット線を引き回すための領域161が必要になるという新たな問題が生じる。

【0012】

そこで、本発明は、ビット線に接続されるスイッチの配置に要する面積が小さく、また各スイッチのオン抵抗が等しく、さらに各スイッチのコンタクト抵抗が小さい半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明によれば、所定方向に沿って互いに平行に配置された複数のワード線と、該複数のワード線に直交しかつ互いに平行に配置された複数のビット線と、前

記複数のワード線と前記複数のビット線との全交点の半数に当たる所定の交点に配置された複数のメモリセルとからなるメモリアレイと、前記複数のビット線のうち奇数番目に位置するビット線に対してはその一方の側の端部に、偶数番目に位置するビット線に対しては他方の側の端部にそれぞれ接続された複数のスイッチと、前記複数のビット線のうちの奇数番目又は偶数番目のビット線が1対ずつ前記複数のスイッチを介して接続される2つの端子を各々有し、前記複数のビット線の両端部近傍でそれぞれ前記所定の方向に沿って一列に並べられた複数の単位回路とを備え、前記複数のワード線のうちの1本を選択したときに、前記複数のメモリセルのうち選択されたワード線に接続されているメモリセルが、前記複数のスイッチを介して前記複数の単位回路の各端子にそれぞれ1個ずつ電氣的に接続可能となるように、前記所定の交点が定められていることを特徴とする半導体記憶装置が得られる。

【0014】

この半導体記憶装置では、前記複数のワード線のうちの1本を選択した場合に、前記複数のスイッチが、選択されたワード線に接続されているメモリセルをそれぞれ前記単位回路の端子に電氣的に接続するよう動作する。

【0015】

前記複数のスイッチは、2個ずつ一体化されたMOSトランジスタスイッチからなる。

【0016】

具体的には、前記MOSトランジスタスイッチは、互いに平行に配置された2本のゲート電極と、その両側に夫々独立して形成された2つのドレイン領域と、前記2本のゲート電極の間に形成された単一のソース領域とを有し、前記2つのドレイン領域に前記奇数番目又は前記偶数番目のビット線が一対接続され、前記ソース領域に前記単位回路の端子が接続される。

【0017】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0018】

図1に、本発明の一実施の形態に係る半導体記憶装置（DRAM: Dynamic Random Access Memory）の概略構成を示す。この半導体記憶装置は、図の上下方向に沿って互いに平行に配置された複数のワード線11と、これらワード線11に直交しかつ互いに平行に配置された複数のビット線12を備えている。また、この半導体記憶装置は、ワード線11とビット線12との交点であって、全交点の半数に当たる所定の位置に配置された複数のメモリセル（図中、○で示す。）13を備えている。さらに、この半導体記憶装置は、ビット線12にそれぞれ接続されたトランジスタスイッチ（ビット線選択スイッチ）14と、これらトランジスタスイッチ14を選択的に駆動するための制御線15と、トランジスタスイッチ14を介してビット線12に接続された複数のセンスアンプ（SA、単位回路とも言う。）16とを備えている。

【0019】

メモリセル13は、各々、1個のMOSトランジスタ（以下では、セル用MOSトランジスタと呼ぶ。）と1個のキャパシタとで構成されている。そして、メモリセル13は、1本のワード線11が選択されたとき、選択されたワード線11に接続されているメモリセル13が、いずれかのセンスアンプ16に一对一つ接続可能となるようにワード線11とビット線12の交点に配置されている。

【0020】

メモリセル13に用いられるセル用MOSトランジスタとしては、ゲートポリSi電極にp⁺不純物をドーピングしたp⁺ゲートnMOSトランジスタが望ましい。これは、以下の理由による。

【0021】

即ち、図2に示すように、ワード線ピッチが等しいという条件下では、p⁺ゲートnMOSトランジスタを使用したほうが、n⁺ゲートMOSトランジスタを使用するよりもセル部接合電界強度が低い。セル部接合電界強度が高くなると、セルリーク電流が増大するため、リフレッシュ動作の頻度を増やさなければならず、消費電力が増大する。したがって、p⁺ゲートnMOSトランジスタを用いた方が消費電力を抑えることができる。また、セル部接合電界強度が等しいという条件下では、p⁺ゲートnMOSトランジスタを使用したほうが、n⁺ゲート

MOSトランジスタを使用するよりもワード線ピッチが小さい。これは、同じ消費電力の場合、p⁺ゲートnMOSトランジスタを使用した方が、セル面積を小さくできることを意味する。

【0022】

また、図3に示すように、拡散層ピッチが等しいという条件下では、p⁺ゲートnMOSトランジスタの方が、n⁺ゲートMOSトランジスタよりもオン抵抗が小さい。オン抵抗が大きいほど、情報の書き込み、読み出しに要する時間が長くなるため、動作速度が低くなる。したがって、p⁺ゲートnMOSトランジスタを用いた方が動作速度を速くすることができる。また、オン抵抗が等しいという条件下では、p⁺ゲートnMOSトランジスタのほうが、n⁺ゲートMOSトランジスタよりも拡散層ピッチが小さい。これは、同じ動作速度の場合、p⁺ゲートnMOSトランジスタを使用した方が、セル面積を小さくできることを意味する。

【0023】

以上の理由により、メモリセル13には、p型にドーピングされた基板上に形成され、p型不純物がドーピングされたポリSiをゲート電極として用いるp⁺ゲートnMOSトランジスタを用いることが望ましい。そして、p⁺ゲートnMOSトランジスタを用いることにより、1個のメモリセルの占有面積を0.1 μm^2 以下にすることが可能になる。

【0024】

なお、センスアンプ16や図示しないメモリアレイ制御回路等の周辺回路を、p型にドーピングされた基板上に形成され、ゲート電極としてn型不純物がドーピングされたポリSi層を用いるn⁺ゲートMOSトランジスタと、n型にドーピングされた基板上に形成され、ゲート電極としてp型不純物がドーピングされたポリSi層を用いるp⁺ゲートpMOSトランジスタとからなるCMOSで構成する様にすれば、プロセスステップ数を増加させることなく、p⁺ゲートnMOSトランジスタを用いたメモリセルを含む半導体記憶装置を製造することが可能である。

【0025】

トランジスタスイッチ 14 は、ビット線 12 の同じ側の端部ではなく、一方の側と他方の側とに交互に配置されている。換言すると、トランジスタスイッチ 14 は、図の下から奇数番目に位置するビット線 12 に接続される場合は、その左側端部に、偶数番目に位置するビット線 12 に接続される場合は、その右側端部に接続されている。これらのトランジスタスイッチ 14 は、ビット線 12 の左側で 2 つのグループに分けられ、また、ビット線の右側でも 2 つのグループに分けられ、計 4 つグループに分けられて、グループ毎に共通の制御線 15 に接続されている。具体的には、各制御線 15 は、 $4n-m$ (n : 自然数、 m : 3, 2, 1 又は 0) 番目のビット線 12 に接続されたトランジスタスイッチ 14 に共通に接続されている。

【0026】

センスアンプ 16 は、各々、互いに隣接する 4 つのトランジスタスイッチ 14 に接続されている。具体的には、各センスアンプ 16 は、2 つの入力端子を有しており、各入力端子にそれぞれ 2 つのトランジスタスイッチ 14 が接続されている。換言すると、各センスアンプ 16 は、一つ置きに隣接する 4 本のビット線（奇数番目又は偶数番目のビット線）12 にトランジスタスイッチ 14 を介して接続されている。

【0027】

トランジスタスイッチ 14 のオン・オフ制御により、各センスアンプ 16 には、入力端子に 1 つずつ、計 2 つのメモリセル 13 が電氣的に接続される。各センスアンプ 16 は、その 2 つのメモリセル 13 に対して 1 ビットの情報に相当する相補的な情報を書き込み、また読み出す。

【0028】

図 4 を参照して、図 1 の半導体記憶装置の動作について説明する。

【0029】

上述したように、図 1 の半導体記憶装置は、2 個のメモリセル 13 を使って 1 ビットの情報を記憶するツインセルアレイである。なお、この半導体記憶装置では、ビット線 12 に沿った方向のメモリセル 13 の配置をワード線 4 本単位（1 ピッチ）の繰り返しと見た場合、隣接するビット線 12 に接続されるメモリセル

13が上記ピッチの1/4だけずれた形に配置されていることから、1/4ピッチ型と呼ばれる。また、対を成すメモリセル13が同一のワード線11に接続されているため、2交点型でもある。この半導体記憶装置では、図4の表に従って、ワード線11及び制御線15を選択的に駆動することによって、各センスアンプ16に一对のメモリセル13を電氣的に接続し、そのメモリセル13に対して情報を書き込み、読み出すことができる。

【0030】

詳述すると、ワード線11-0を選択するときは、制御線15-a及び15-bを選択的に駆動することにより、各センスアンプ16の各入力端子にメモリセル13を1個だけ電氣的に接続することができる。こうして、各センスアンプ16の2つの入力端子に2つのメモリセル13が接続されるので、これらメモリセル13に対して、1ビットに相当する相補的な情報を書き込み、またそれを読み出すことが可能になる。

【0031】

また、ワード線11-1を選択するときは、制御線15-b及び15-cを、ワード線11-2を選択するときは、制御線15-b及び15-dを、ワード線11-3を選択するときは、制御線15-a及び15-dを、夫々選択することにより、各センスアンプ16の各入力端子にメモリセル13を1個だけ電氣的に接続することができる。こうして、全てのメモリセル13に対して、情報の書き込み及び読み出しが可能になる。

【0032】

なお、図4は、ワード線11が1本だけ選択された場合に、選択されたワード線11に対して、どの制御線15を選択駆動すべきかを表すものであって、同じワード線番号が割り当てられている複数のワード線11を同時に選択駆動することを意味しているのではない。

【0033】

次に、図5を参照して、図1の半導体記憶装置におけるスイッチレイアウトについて説明する。

【0034】

図5は、単一のセンスアンプ16に接続される4個のトランジスタスイッチ14のレイアウトを示す図である。4個のトランジスタスイッチ14は、一對の2個一体型のMOSトランジスタスイッチにより構成されている。即ち、各一体型MOSトランジスタスイッチは、単一のソース領域(S)と2つのドレイン領域(D)を有し、2個のトランジスタスイッチ14を一体的に形成している。

【0035】

各一体型MOSトランジスタスイッチのソース領域には、センスアンプ16の一方の入力端子に接続される接続線がコンタクト51により接続されている。また、各一体型MOSトランジスタスイッチの2つのドレイン領域には、1本のビット線12を挟んで隣接する2本のビット線（奇数番目又は偶数番目に位置するビット線）12がコンタクト52a及び52bにより接続されている。そして、各コンタクト51、52a及び52bの周囲には、それぞれコンタクト抵抗を低減するためのドッグボーン53が形成されている。

【0036】

図5のスイッチレイアウトによれば、各MOSトランジスタスイッチの形成に利用可能な図の上下方向の長さは、ビット線を4本配置するのに要する長さ（幅）に等しい。これは、装置全体のサイズを大きくすることなく、MOSトランジスタのサイズを、ドッグボーン形成に対応できるサイズにすることを可能にする。

【0037】

また、図5のスイッチレイアウトによれば、各MOSトランジスタスイッチに接続される2本のビット線12同士の間が広い（間にビット線が1本存在する）ので、ビット線12の端部を大きく引き回すこと無く、コンタクト51からコンタクト52aまでの距離と、コンタクト51からコンタクト52bまでの距離とを等しくすることができる。図5の例では、各MOSトランジスタに接続される2本のビット線12のうち、一方のみをわずかに屈曲させるだけで、コンタクト51と52aの間とコンタクト51と52bの間の距離を等しくしている。

【0038】

以上のように、本実施に形態による半導体記憶装置によれば、装置全体のサイ

ズを大きくすることなくビット線に接続されるスイッチのコンタクトにドッグボーンを形成してコンタクト抵抗を低減することができる。これにより、動作速度の向上と、消費電力の低減を実現することができる。

【0039】

また、本実施の形態による半導体記憶装置によれば、ビット線に接続されるスイッチのオン抵抗を均一にすることができるので、動作設計マージンが大きくなる。

【0040】

次に、図1の半導体記憶装置のメモリセルを試験するための方法について、図6乃至図8を参照して説明する。

【0041】

まず、情報保持に関してマージンの少ないセルを検出する試験を行う方法について説明する。この試験は、図6に示すように、ワード線11及び制御線15を選択駆動することにより行う。即ち、ワード線11を1本ずつ選択駆動する一方、制御線15については全てを同時に選択駆動することにより、ビット線12の寄生容量による影響を増大させ、相対的に試験の対象であるメモリセル13から読み出した信号量を減少させる。これにより、情報保持に関してマージンの少ないメモリセル13を検出する。

【0042】

次に、シングルセル動作を行わせることにより、ツインセル動作では検出できないメモリセルの不良を検出する試験を行う方法について説明する。この場合、トランジスタスイッチ14に接続される制御線15は、図7に示すように8本必要になる。

【0043】

この試験では、まず、図8(a)に示すようにワード線11及び制御線15を選択駆動することにより、ツインセル動作を行わせる。なお、この動作は、図4の表に従う選択動作を行うのと同じ動作である。

【0044】

次に、図8(b)に示すように、ワード線11及び制御線15を選択駆動する

。つまり、ワード線を1本ずつ選択しながら、制御線15-a, 15-b', 15-c及び15-d'を同時に選択駆動する。これにより、各センスアンプ16には、2つの入力端子のうちいずれか一方にのみメモリセル13が電氣的に接続される。続いて、図8(c)に示すように、ワード線11及び制御線15を選択駆動すると、図8(b)に従う選択駆動によってセンスアンプ16に接続されなかったメモリセル13が1個ずつセンスアンプ16に接続される。

【0045】

以上のようにして、ツインセル動作では検出することができないメモリセル13の不良を検出することができる。

【0046】

以上本発明の半導体記憶装置について、一実施の形態に基づいて説明したが、本発明は、当該実施の形態に限定されるものではない。例えば、本発明の半導体記憶装置は、図9に示すように、2つのメモリセルアレイ91, 92で1列のセンスアンプ93を共有する共有センスアンプ方式の半導体記憶装置とすることができる。また、ワード線11は、図10に示すように、セル用MOSトランジスタのゲート電極である副ワード線101を、所定の数箇所で裏打ちする副ワード線101よりも抵抗値の小さい主ワード線102で駆動するようにしてもよい。或いは、ワード線11は、図11に示すように、セル用MOSトランジスタのゲート電極を副ワード線111とし、この副ワード線111を駆動する駆動回路(AND回路)112を、副ワード線111よりも抵抗値の小さい主ワード線113で駆動するようにしてもよい。なお、この場合、副ワード線111をできるだけ短く、主ワード線113をできるだけ長くすることが望ましい。

【0047】

【発明の効果】

本発明によれば、メモリアレイを構成するビット線のうち、奇数番目に位置するビット線に対してはその一方の側の端部に、偶数番目に位置するビット線に対しては他方の側の端部に、それぞれスイッチを接続し、このスイッチを介して奇数番目又は偶数番目のビット線が1対ずつ2つの端子にそれぞれ接続されるようにメモリアレイの両側に単位回路を配列し、メモリアレイを構成するワード線の

うちの1本を選択したときに、選択されたワード線に接続されているメモリセルが単位回路の各端子にそれぞれ1個ずつ電氣的に接続可能となるようメモリセルアレイを配置したことにより、ビット線に接続されるスイッチの配置に要する面積が小さいにもかかわらず、スイッチのコンタクト抵抗が小さい上、そのオン抵抗が均一な半導体記憶装置が得られる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る半導体記憶装置の概略構成を示す図である。

【図2】

n⁺ゲートnMOSトランジスタ及びp⁺ゲートnMOSトランジスタのワード線ピッチセル部接合電界強度特性を示すグラフである。

【図3】

n⁺ゲートnMOSトランジスタ及びp⁺ゲートnMOSトランジスタの拡散層ピッチオン抵抗特性を示すグラフである。

【図4】

図1の半導体記憶装置におけるワード線と制御線の選択関係を示す表である。

【図5】

図1の半導体記憶装置におけるスイッチのレイアウトを示す図である。

【図6】

図1の半導体記憶装置の試験を行う場合のワード線と制御線の選択関係を示す表である。

【図7】

図1の半導体記憶装置に対し別の試験を行うための制御線の接続を示す図である。

【図8】

(a)、(b)及び(c)は、それぞれ、図7の半導体記憶装置に対し試験を行う場合のワード線と制御線の選択関係を示す図である。

【図9】

本発明の半導体記憶装置を共有センスアンプ方式に適用した場合の概略構成を

示す図である。

【図 1 0】

図 1 の半導体記憶装置におけるワード線の一構成例を示す図である。

【図 1 1】

図 1 の半導体記憶装置におけるワード線の他の構成を示す図である。

【図 1 2】

従来の半導体記憶装置の一例の概略構成を示す図である。

【図 1 3】

図 1 2 の半導体記憶装置におけるスイッチのレイアウトを示す図である。

【図 1 4】

図 1 2 の半導体記憶装置に改良を加えた場合の概略構成を示す図である。

【図 1 5】

図 1 4 の半導体記憶装置におけるスイッチのレイアウトを示す図である。

【図 1 6】

図 1 5 のスイッチレイアウトにおいて生じる問題点を解決したスイッチのレイアウトを示す図である。

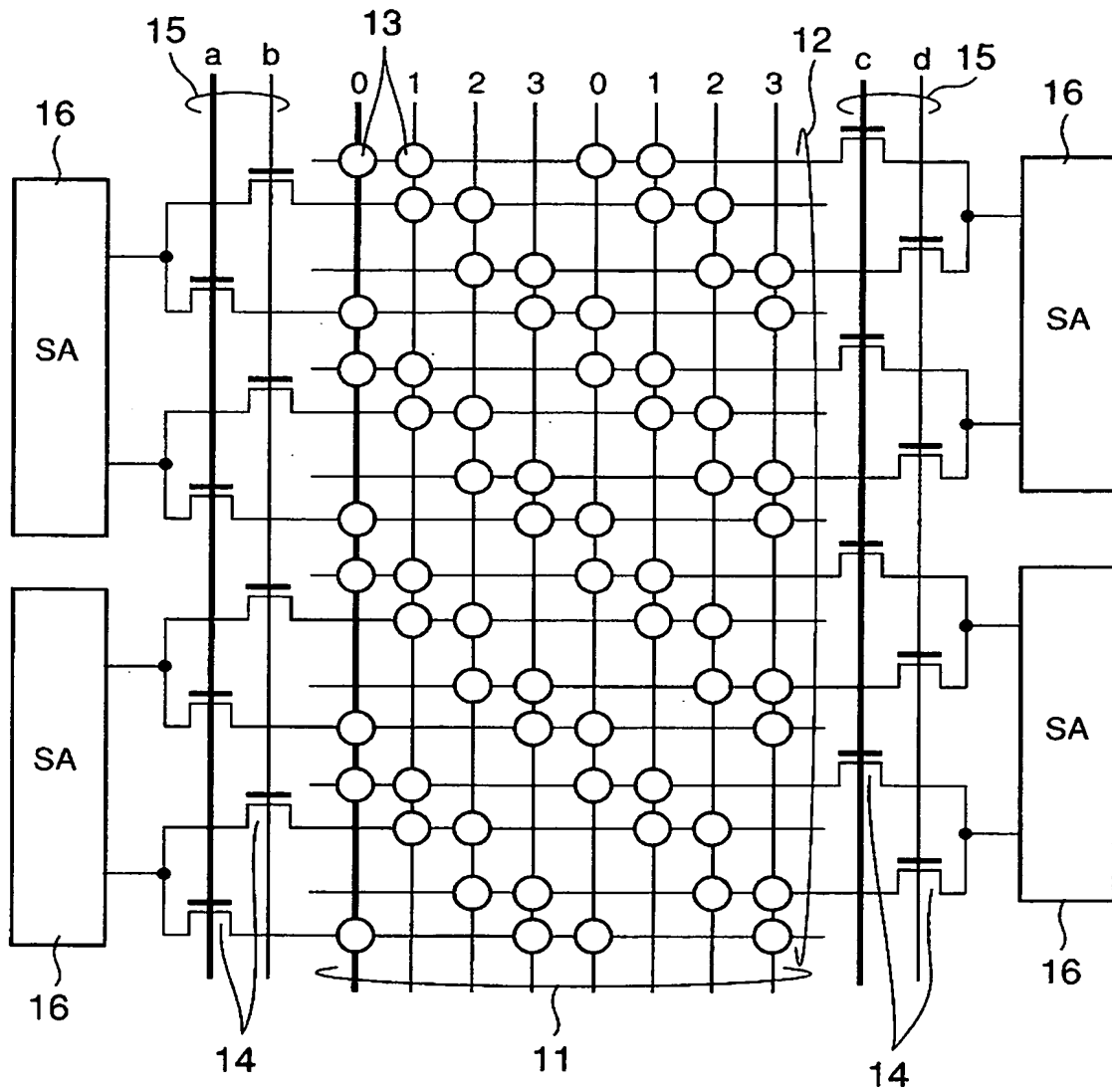
【符号の説明】

- 1 1 ワード線
- 1 2 ビット線
- 1 3 メモリセル
- 1 4 トランジスタスイッチ
- 1 5 制御線
- 1 6 センスアンプ
- 5 1 コンタクト
- 5 2 a, 5 2 b コンタクト
- 5 3 ドッグボーン
- 9 1, 9 2 メモリセルアレイ
- 9 3 センスアンプ
- 1 0 1 副ワード線

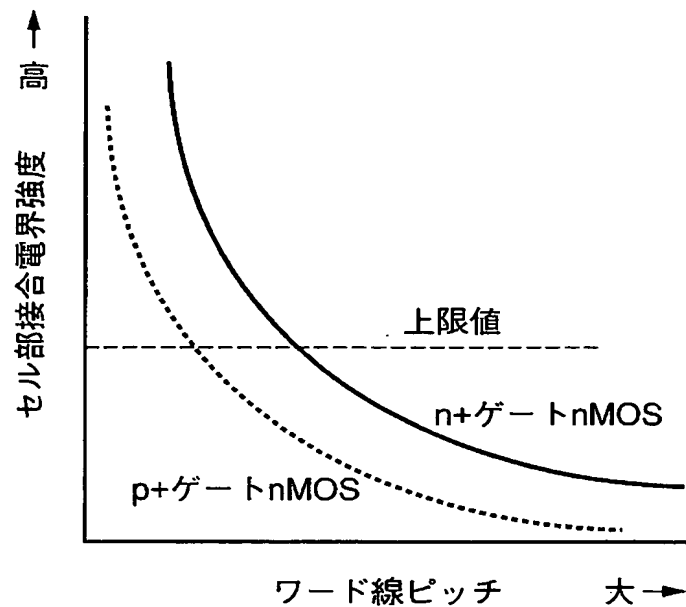
1 0 2	主ワード線
1 1 1	副ワード線
1 1 2	駆動回路
1 1 3	主ワード線
1 2 1	ワード線
1 2 2	ビット線
1 2 3	メモリセル
1 2 4	スイッチ
1 2 5	制御線
1 2 6	センスアンプ
1 3 1	ソース領域
1 3 2, 1 3 3	ドレイン領域
1 3 4	MOS トランジスタスイッチ
1 3 5	コンタクト
1 3 6 a, 1 3 6 b	コンタクト

【書類名】 図面

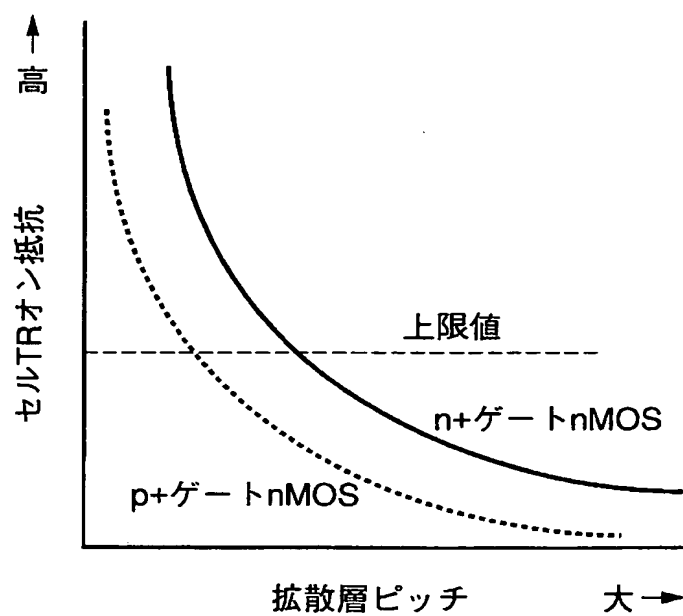
【図 1】



【図 2】



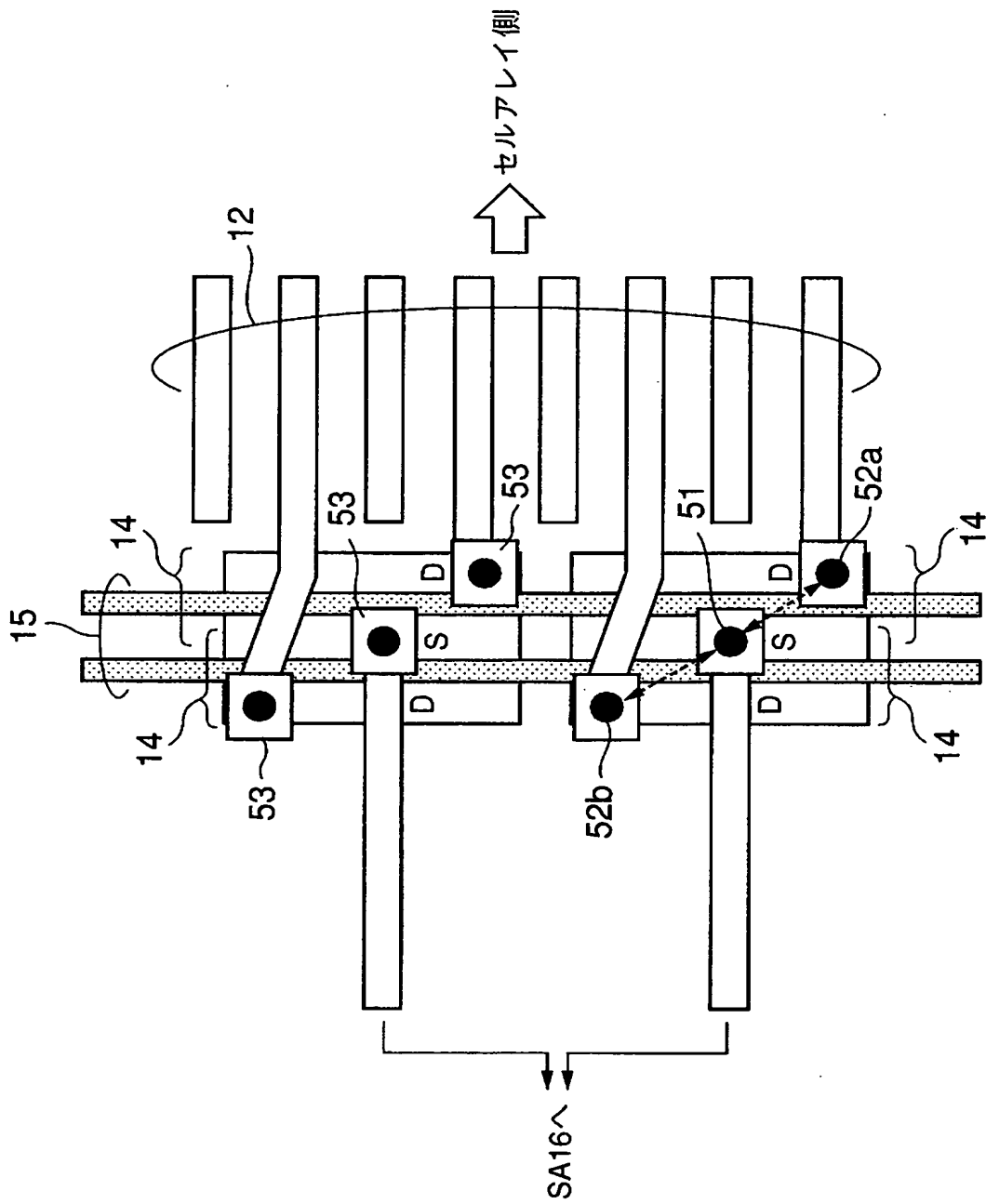
【図 3】



【図 4】

ワード線No.				制御線No.			
11-0	11-1	11-2	11-3	15-a	15-b	15-c	15-d
○				○		○	
	○				○	○	
		○			○		○
			○	○			○

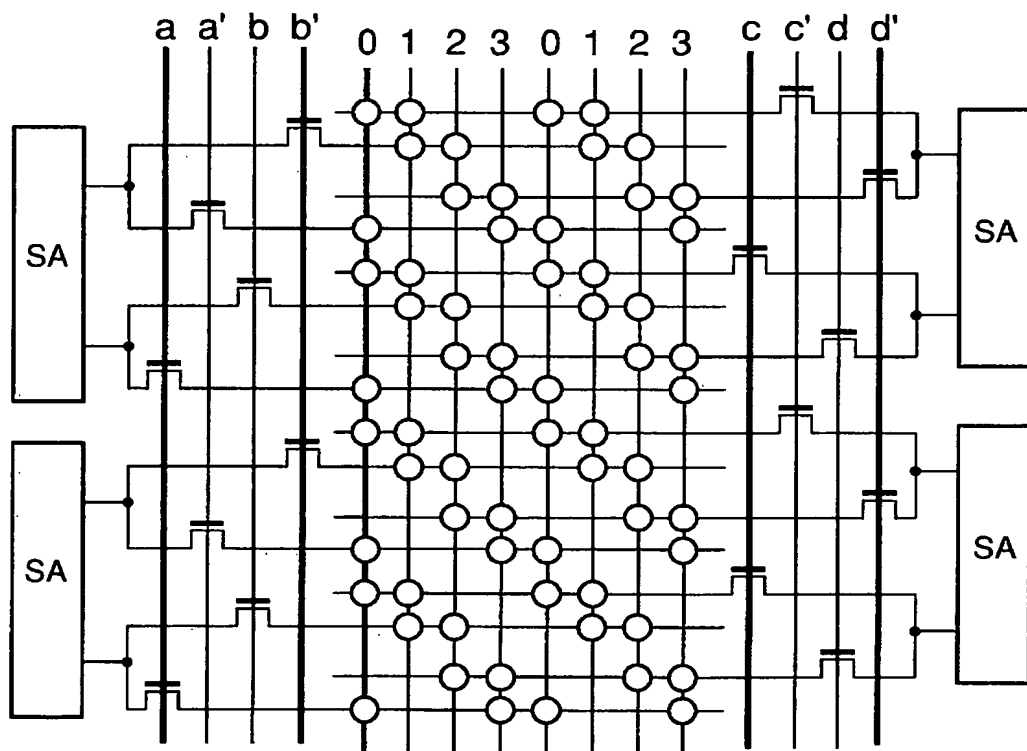
【図 5】



【図 6】

ワード線No.				制御線No.			
0	1	2	3	a	b	c	d
○				○	○	○	○
	○			○	○	○	○
		○		○	○	○	○
			○	○	○	○	○

【図 7】



【図 8】

ツインセル動作

ワード線No.				制御線No.							
0	1	2	3	a	a'	b	b'	c	c'	d	d'
○				○	○			○	○		
	○					○	○	○	○		
		○				○	○			○	○
			○	○	○					○	○

(a)

シングルセル動作(1)

ワード線No.				制御線No.							
0	1	2	3	a	a'	b	b'	c	c'	d	d'
○				○			○	○			○
	○			○			○	○			○
		○		○			○	○			○
			○	○			○	○			○

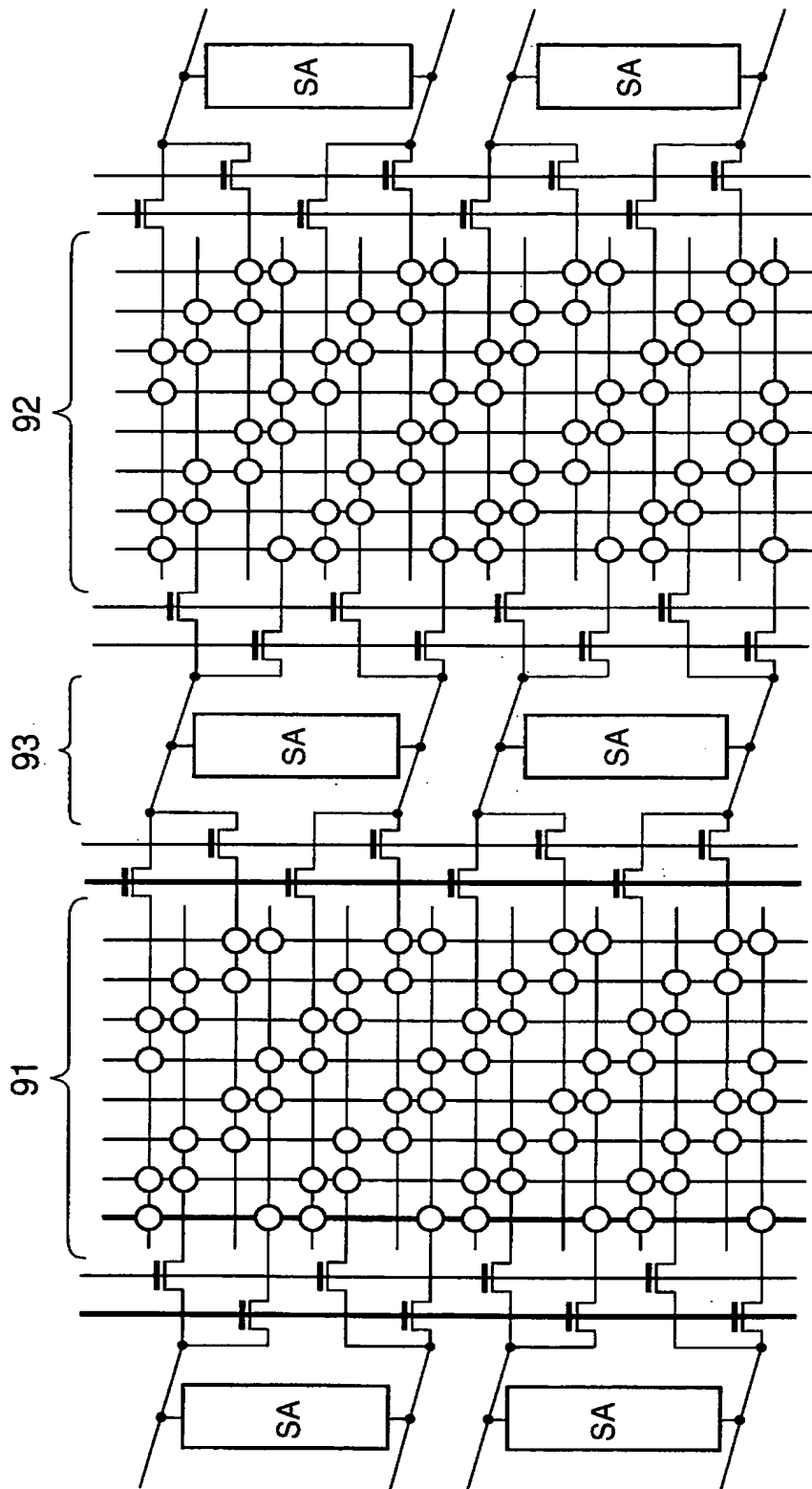
(b)

シングルセル動作(2)

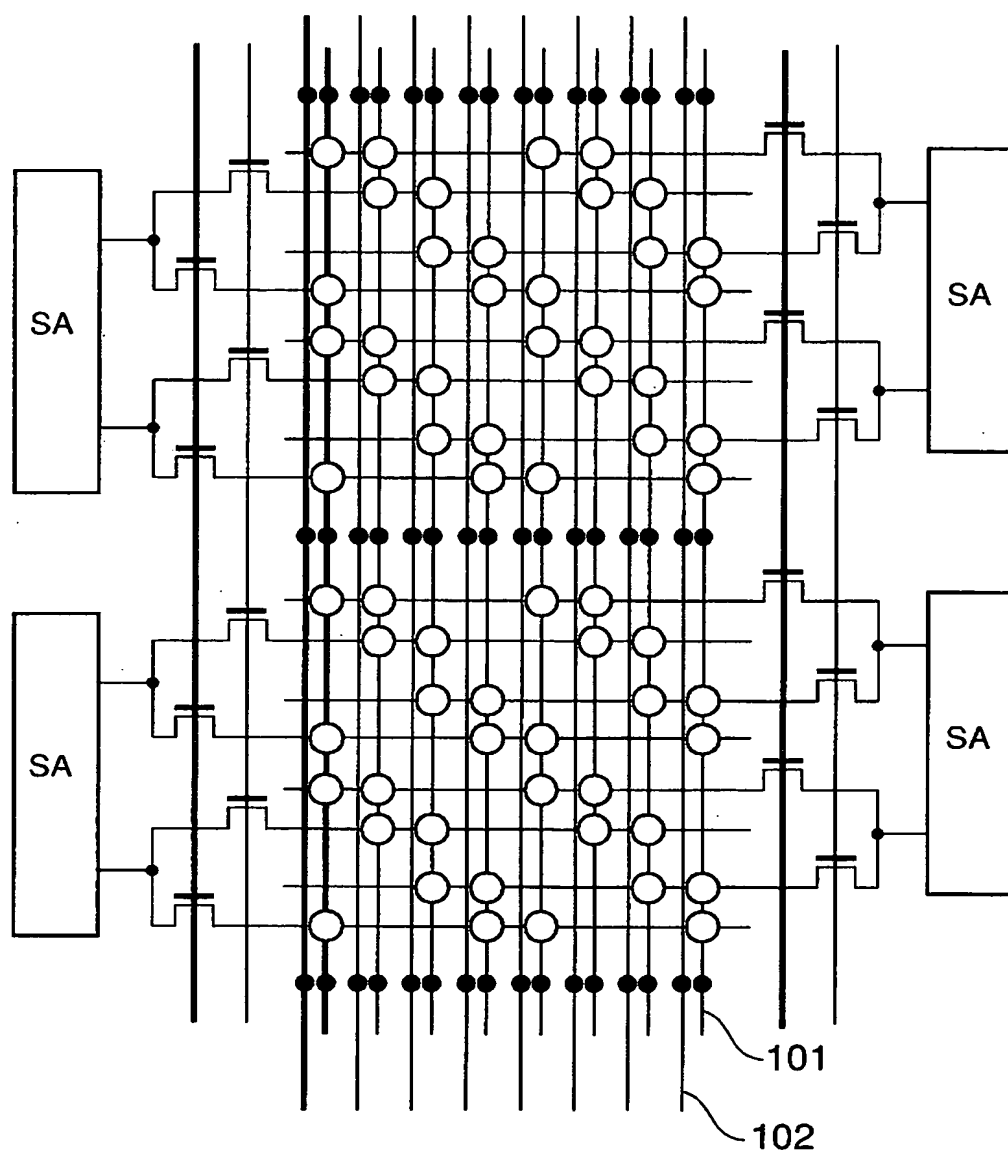
ワード線No.				制御線No.							
0	1	2	3	a	a'	b	b'	c	c'	d	d'
○					○	○			○	○	
	○				○	○			○	○	
		○			○	○			○	○	
			○		○	○			○	○	

(c)

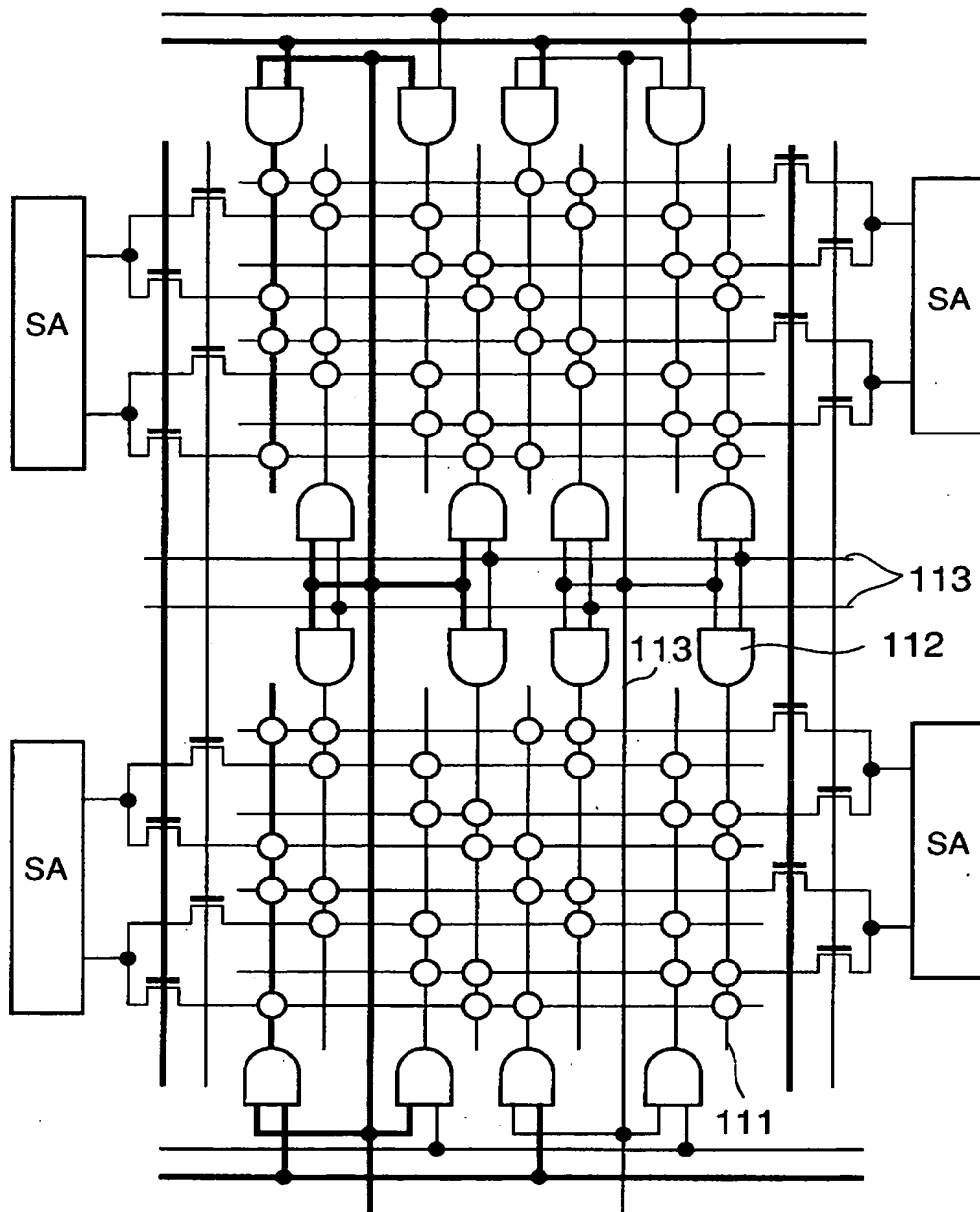
【図 9】



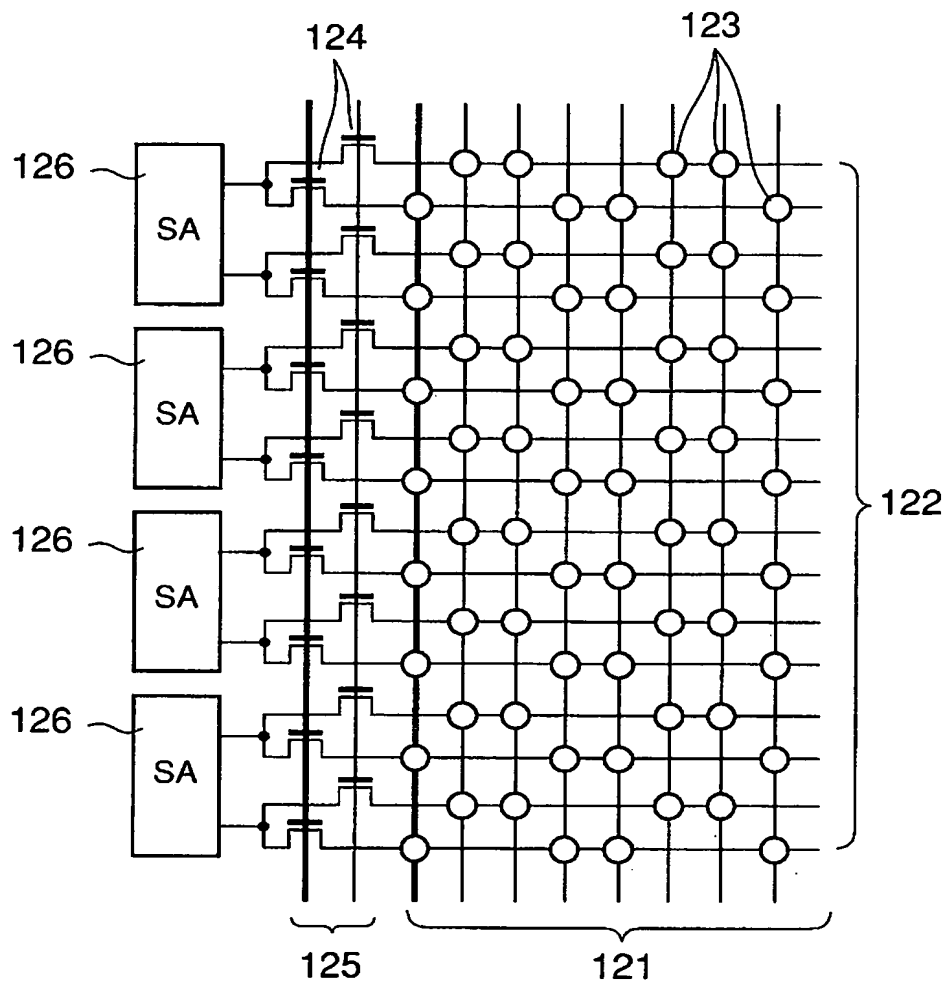
【図 10】



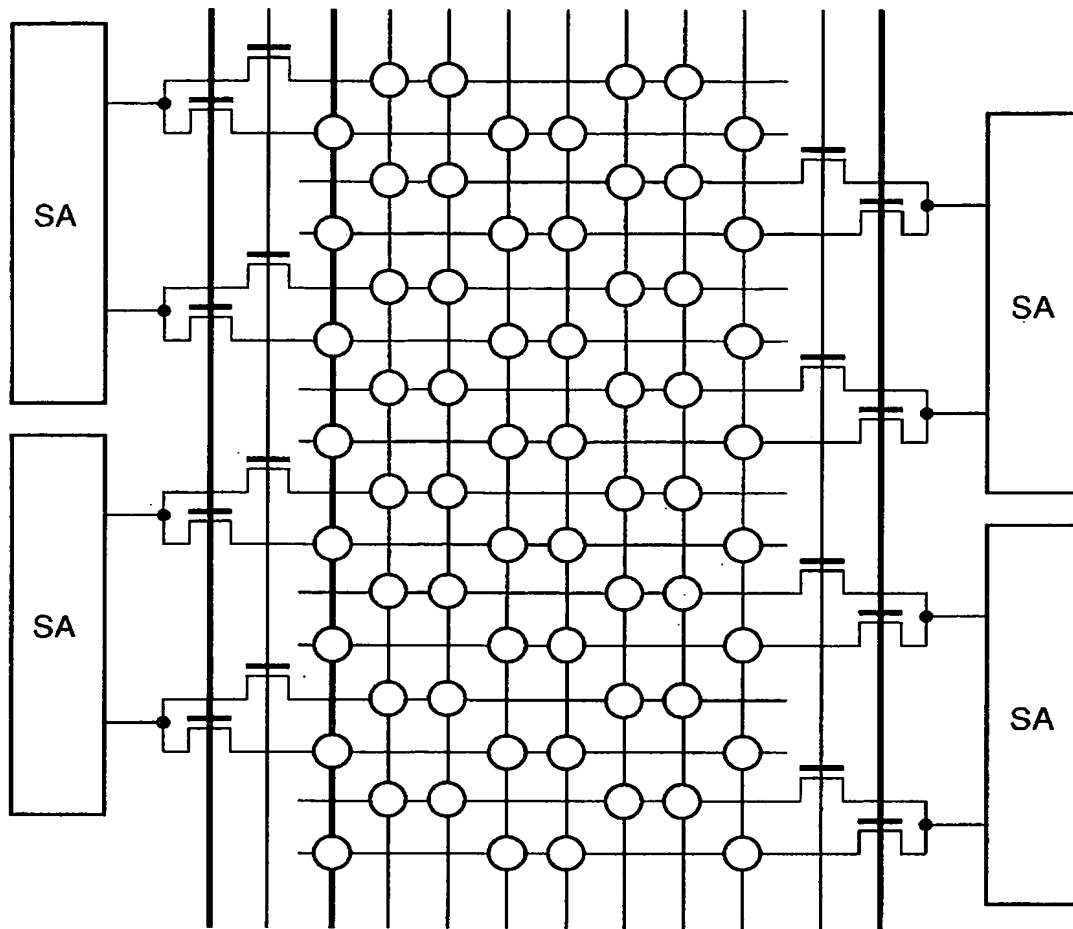
【図 11】



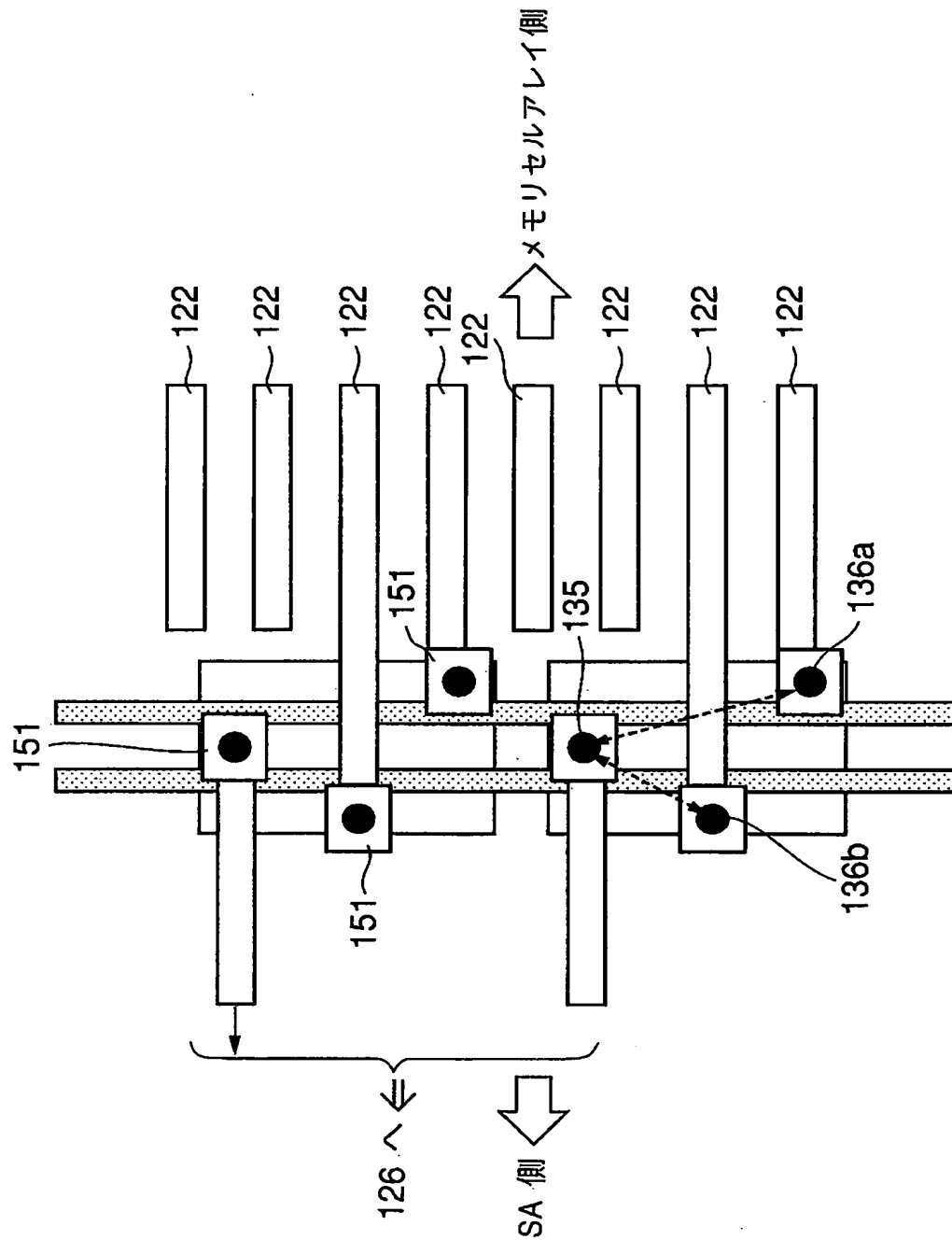
【図 12】



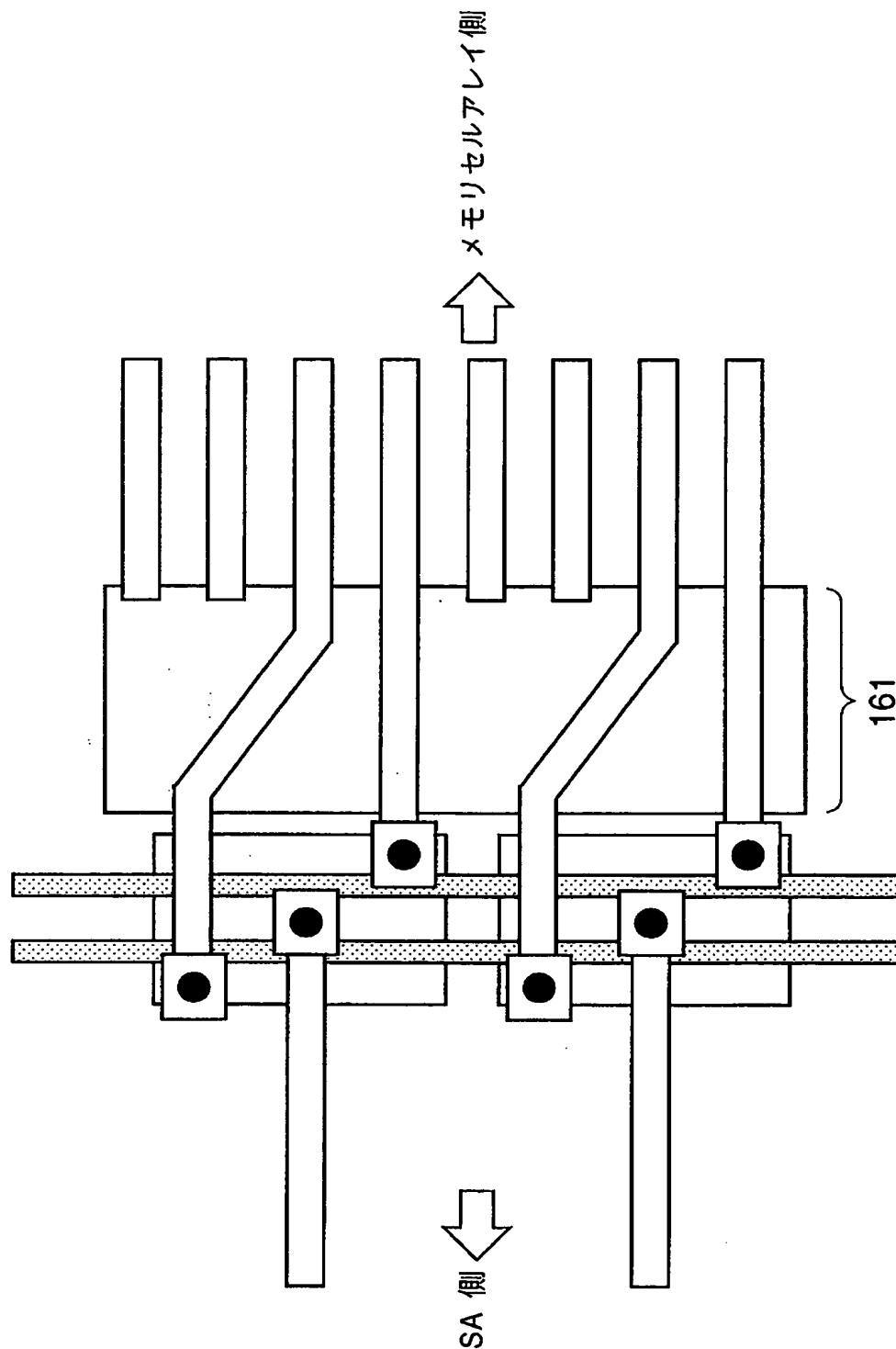
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 ビット線選択スイッチの配置に要する面積を大きくすることなく、各スイッチのコンタクト抵抗の低減と、全スイッチのオン抵抗の均一化を図る。

【解決手段】 奇数番目に位置するビット線 1 2 に対してはその一方の側の端部に、偶数番目に位置するビット線 1 2 に対しては他方の側の端部に、それぞれスイッチ 1 4 を接続する。これらのスイッチ 1 4 を介して、奇数番目又は偶数番目のビット線を一對ずつセンスアンプ 1 6 の端子に接続する。メモリセル 1 3 は、ワード線 1 1 を 1 本選択したときに、選択されたワード線に接続されているメモリセルが単位回路 1 6 の各端子にそれぞれ 1 個ずつ電氣的に接続可能となるようワード線とビット線の全交点の半数に当たる所定の交点に配置される。

【選択図】 図 1

特願 2 0 0 2 - 2 6 0 2 7 9

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 2 - 2 6 0 2 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 2 - 2 6 0 2 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所